



⑮ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 100 26 251 A 1**

⑤ Int. Cl. 7:
H 01 L 27/105
H 01 L 23/525
G 11 C 17/14

⑲ Aktenzeichen: 100 26 251.1
⑳ Anmeldetag: 26. 5. 2000
㉑ Offenlegungstag: 6. 12. 2001

DE 100 26 251 A 1

⑦① Anmelder:
Infineon Technologies AG, 81669 München, DE

⑦④ Vertreter:
Patentanwälte MÜLLER & HOFFMANN, 81667
München

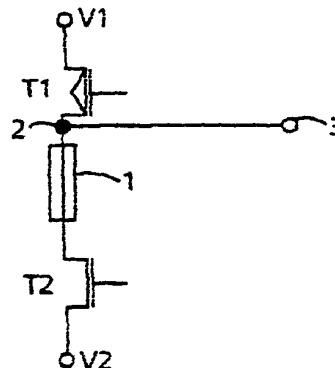
⑦② Erfinder:
Kaiser, Robert, 86916 Kaufering, DE; Lindolf,
Jürgen, 86316 Friedberg, DE; Schneider, Helmut,
80993 München, DE; Schamberger, Florian, 83435
Bad Reichenholl, DE

⑤⑤ Entgegenhaltungen:
US 52 94 846
US 48 60 256
EP 3 55 768 A2

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

- ⑤④ Anordnung zur Programmierung einer Fuse
⑤⑦ Die Erfindung betrifft eine Anordnung zur Programmierung eines Fuse (1) bei der Fuse (1) beidseitig über zwei Transistoren (T1, T2) ansteuerbar ist.



DE 100 26 251 A 1

- [0001] Die vorliegende Erfindung betrifft eine Anordnung zur Programmierung einer Fuse (Schmelzbrücke, "Sicherung"), die durch Anlegen einer elektrischen Spannung brennbar ist.
- [0002] In integrierten Schaltungen, wie insbesondere Halbleiter-Speicheranordnungen, beispielsweise DRAMs, werden zunehmend Fuses eingesetzt, die durch Anlegen einer elektrischen Spannung an- oder ausgeschaltet werden können, Fuses, die durch Anlegen einer elektrischen Spannung angeschaltet werden, also in den leitenden Zustand übergehen, werden als "Anti-Fuses" bezeichnet, während Fuses, die durch Anlegen der Spannung ihren leitenden Zustand verlieren, sogenannte normale "E-Fuses" sind. Dem Zustand der Fuse, also "leitend" oder "nicht-leitend", kann eine logische "1" bzw. "0" oder umgekehrt zugeordnet werden.
- [0003] Im folgenden soll unter "Fuse" sowohl eine normale E-Fuse als auch eine Anti-Fuse verstanden werden.
- [0004] Das Brennen von Fuses erfolgt insbesondere durch Anlegen einer hohen Spannung V_{burn} , die einige V betragen kann und auf einen Anschluß der Fuse geschaltet wird, während der andere Anschluß der Fuse meist auf Ground, d. h. $gnd = 0$ V liegt.
- [0005] Bei der Verwendung von Anti-Fuses wirft deren Ansteuerung Probleme auf, wie die Erfinder erkannt haben: die nicht gebrannte bzw. nicht geschossene Anti-Fuse liegt über einem ausgeschalteten Transistor zwischen einer hohen Spannung und Ground gnd . Die Anti-Fuse, die aus einem Dielektrikum besteht, hat einen sehr hohen Widerstand, der höher ist als derjenige des Transistors. Daher kann die Spannung an der ungeschossenen Anti-Fuse durch einen über den Transistor fließenden Leckstrom ansteigen, so daß schließlich nach längerem Anlegen der Brennspannung V_{burn} am Transistor diese Spannung V_{burn} auch an der Anti-Fuse anliegt und ein unbeabsichtigtes Brennen von dieser bewirkt.
- [0006] Weiterhin hat eine programmierte bzw. gebrannte Anti-Fuse einen niedrigen Widerstand. Dies bedeutet, daß bei einer programmierten Anti-Fuse die gesamte Brennspannung V_{burn} an dem dann gesperrten Ansteuertransistor anliegt. Hierdurch kann dieser Transistor unter Umständen zerstört werden, was den Auslesebetrieb der Fuse beeinträchtigt. Entsprechende Überlegungen gelten für nicht-geschossene und damit niederohmige E-Fuses.
- [0007] Zusammenfassend ist also festzustellen, daß sowohl bei Anti-Fuses als auch bei E-Fuses Probleme auftreten können, wenn an diesen bzw. deren Ansteuertransistoren längere Zeit die Brennspannung V_{burn} anliegt, da durch diese Brennspannung die Anti-Fuses selbst bzw. deren Ansteuertransistoren oder die Ansteuertransistoren von E-Fuses zerstört werden können.
- [0008] Es ist daher Aufgabe der vorliegenden Erfindung, eine Anordnung zur Programmierung von Fuses anzugehen, bei der eine Zerstörung der Fuses bzw. deren Ansteuertransistoren zuverlässig vermieden wird.
- [0009] Diese Aufgabe wird bei einer Anordnung der eingangs genannten Art erfindungsgemäß dadurch gelöst, daß die Fuse in Reihe zwischen den Source-Drain-Strecken von wenigstens zwei Transistoren liegt.
- [0010] Bei der erfindungsgemäßen Anordnung liegt somit insbesondere eine Anti-Fuse zwischen einem N-Kanal-Feldeffekttransistor als einem Herunterzieh- bzw. Pull-Down-Zweig und einem P-Kanal-Feldeffekttransistor als einem Hochzieh- bzw. Pull-Up-Zweig. Das andere Ende des N-Kanal-Feldeffekttransistors ist dabei beispielsweise mit Ground verbunden, während an dem anderen Ende des P-Kanal-Feldeffekttransistors die Brennspannung V_{burn} anliegt.
- [0011] Bei der erfindungsgemäßen Anordnung sind die beiden Transistoren normalerweise gesperrt. Dadurch ist gewährleistet, daß bei einer hochohmigen Anti-Fuse die an dieser anliegende Spannung durch die Transistoren nochmals reduziert ist.
- [0012] Bei einer E-Fuse, die im Normalzustand, d. h. ungebrannt, niederohmig ist, fällt die Brennspannung an der aus den beiden Transistoren gebildeten Reihenschaltung ab, so daß jeder Transistor nur mit der halben Brennspannung beaufschlagt ist.
- [0013] Zur Einleitung eines Brennvorganges werden bei der erfindungsgemäßen Anordnung beide Transistoren angeschaltet. Dadurch fällt die Brennspannung V_{burn} an der Fuse ab, so daß diese gebrannt bzw. geschossen wird. Eine Anti-Fuse wird dadurch leitend, während eine E-Fuse nicht-leitend wird.
- [0014] Bei einer geschossenen und damit niederohmigen Anti-Fuse liegt die Brennspannung an der Reihenschaltung aus den beiden Transistoren, so daß an jedem dieser Transistoren – wie bei einer nicht-geschossenen E-Fuse – die halbe Brennspannung $V_{burn}/2$ abfällt.
- [0015] Nachfolgend wird die Erfindung anhand der Zeichnung näher erläutert, in deren einziger Figur eine Anordnung mit einer Anti-Fuse dargestellt ist.
- [0016] Bei der erfindungsgemäßen Anordnung liegt eine Anti-Fuse 1 zwischen einem P-Kanal-MOS-Feldeffekttransistor T1, der einen Pull-Up-Zweig bildet, und einem N-Kanal-MOS-Feldeffekttransistor T2, der einen Pull-Down-Zweig bildet.
- [0017] Die Reihenschaltung aus der Fuse 1 und den beiden Transistoren T1, T2 ist zwischen einer Spannung V1, die an Source bzw. Drain des Transistors T1 liegt, und einer Spannung V2, die an Source bzw. Drain des Transistors T2 liegt, geschaltet. Die Spannung V1 ist dabei beispielsweise die Brennspannung V_{burn} , während die Spannung V2 durch Ground gnd gegeben ist.
- [0018] Ein Knoten 2 zwischen dem Transistor T1 und der Fuse 1 ist mit einem Anschluß 3 verbunden, über den die Fuse 1 ausgelesen wird. Das heißt, über den Anschluß 3 wird ermittelt, ob die Fuse 1, im vorliegenden Beispiel eine Anti-Fuse, nicht-leitend, also hier nicht gebrannt, oder leitend, also hier gebrannt, ist.
- [0019] Die Gateanschlüsse G1 bzw. G2 der Transistoren T1 bzw. T2 sind mit einer Ansteuereinheit zum Ansteuern der Transistoren T1 bzw. T2 verbunden.
- [0020] Da, wie eingangs bereits erläutert wurde, der Transistor T1 einen geringen Leckstrom haben kann und auf jeden Fall stärker leitet als das Dielektrikum der Anti-Fuse 1, kann der Knoten 2 selbst bei gesperrtem Transistor T1 allmählich auf die Spannung V1 "hochlaufen", so daß die Spannung V1, also im vorliegenden Beispiel die Brennspannung V_{burn} , an der Anti-Fuse 1 anliegt. Wäre nun die Anti-Fuse direkt an ihrem dem Knoten 2 entgegengesetzten Ende mit der Spannung V2, hier also Ground gnd , beaufschlagt, so könnte dieser Zustand zu einem unbeabsichtigten Brennen der Anti-Fuse führen.
- [0021] Dies wird bei der erfindungsgemäßen Anordnung durch den Transistor T2 verhindert, da dieser gesperrt ist, so daß eine solche Zerstörung der Anti-Fuse 1 zuverlässig vermieden wird.
- [0022] Hat die Spannung V2 ein von Ground $gnd = 0$ V abweichendes Potential, so ist die Brennspannung V_{burn} durch die Differenz zwischen den Spannungen V1 und V2 gegeben, das heißt $V1 - V2 = V_{burn}$.
- [0023] Zum Zünden der Anti-Fuse 1 werden die beiden Transistoren T1 und T2 durch Ansteuerung ihrer Gates G1

bzw. G2 eingeschaltet, so daß diese Transistoren T1 und T2 leiten. Die Brennspannung $V_{burn} = V_1 - V_2$ liegt dann an der Anti-Fuse 1, so daß diese gebrannt wird. Nach dem Brennen der Anti-Fuse 1 fällt die Brennspannung V_{burn} über der Reihenschaltung aus den beiden Transistoren T1 und T2 ab, da die Anti-Fuse 1 im leitenden Zustand ist. Das heißt, an jedem der Transistoren T1 und T2 fällt etwa die halbe Brennspannung $V_{burn}/2$ ab, so daß eine Beschädigung dieser Transistoren vermieden wird.

[0024] Das Auslesen des Zustandes der Anti-Fuse 1 erfolgt über den Anschluß 3, indem das Potential am Knoten 2 festgestellt wird.

[0025] Im obigen Ausführungsbeispiel liegt die Fuse 1 zwischen den beiden Transistoren T1, T2. Das heißt, die Fuse 1 ist in Reihe mit zwei Transistoren geschaltet. Anstelle der beiden Transistoren können jedoch auch mehr Transistoren und/oder zusätzliche Widerstände vorgesehen sein. Wesentlich ist allein, daß wenigstens zwei Transistoren verwendet werden, über die die Fuse 1 beidseitig ansteuerbar ist.

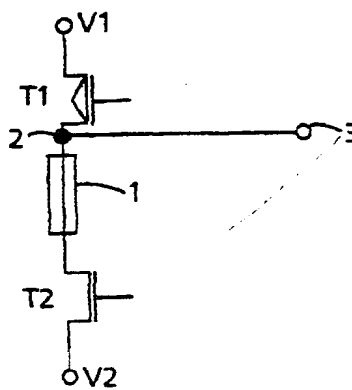
[0026] Im obigen Ausführungsbeispiel sind die beiden Transistoren T1, T2 jeweils MOS-Feldeffekttransistoren. Anstelle dieser Feldeffekttransistoren können gegebenenfalls auch Bipolartransistoren verwendet werden.

Patentansprüche

1. Anordnung zur Programmierung einer Fuse (1), die durch Anlegen einer elektrischen Spannung ($V_1 - V_2$) brennbar ist, **dadurch gekennzeichnet**, daß die Fuse (1) in Reihe zwischen den Source-Drain-Strecken von wenigstens zwei Transistoren (T1, T2) liegt.
2. Anordnung nach Anspruch 1, dadurch gekennzeichnet, daß der eine Transistor (T1) auf der einen Seite der Fuse ein P-Kanal-Feldeffekttransistor und der andere Transistor (T2) auf der anderen Seite der Fuse ein N-Kanal-Feldeffekttransistor ist.
3. Anordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Fuse (1) eine Anti-Fuse ist.
4. Anordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Fuse eine normal brennbare E-Fuse ist.

Hierzu 1 Seite(n) Zeichnungen

Fig. 1



Fuse or anti-fuse programming device has fuse inserted in series between 2 transistor source-drain paths

Patent Number: DE10026251
Publication date: 2001-12-06
Inventor(s): SCHAMBERGER FLORIAN (DE); KAISER ROBERT (DE); LINDOLF JUERGEN (DE); SCHNEIDER HELMUT (DE)
Applicant(s): INFINEON TECHNOLOGIES AG (DE)
Requested Patent: DE10026251
Application Number: DE20001026251 20000526
Priority Number(s): DE20001026251 20000526
IPC Classification: H01L27/105; H01L23/525; G11C17/14
EC Classification: G11C17/16
Equivalents:

Abstract

The fuse or anti-fuse programming device uses application of an electrical voltage (V1-V2) for destruction of the fuse or anti-fuse (1), with the latter connected in series between the source-drain paths of at least 2 transistors (T1,T2), e.g. a p-channel FET and a n-channel FET positioned on opposite sides of the fuse.

Data supplied from the esp@cenet database - I2

1997-12-15
1998-01-15
1998-02-15
1998-03-15
1998-04-15
1998-05-15
1998-06-15
1998-07-15
1998-08-15
1998-09-15
1998-10-15
1998-11-15
1998-12-15
1999-01-15
1999-02-15
1999-03-15
1999-04-15
1999-05-15
1999-06-15
1999-07-15
1999-08-15
1999-09-15
1999-10-15
1999-11-15
1999-12-15
2000-01-15
2000-02-15
2000-03-15
2000-04-15
2000-05-15
2000-06-15
2000-07-15
2000-08-15
2000-09-15
2000-10-15
2000-11-15
2000-12-15
2001-01-15
2001-02-15
2001-03-15
2001-04-15
2001-05-15
2001-06-15
2001-07-15
2001-08-15
2001-09-15
2001-10-15
2001-11-15
2001-12-15
2002-01-15
2002-02-15
2002-03-15
2002-04-15
2002-05-15
2002-06-15
2002-07-15
2002-08-15
2002-09-15
2002-10-15
2002-11-15
2002-12-15
2003-01-15
2003-02-15
2003-03-15
2003-04-15
2003-05-15
2003-06-15
2003-07-15
2003-08-15
2003-09-15
2003-10-15
2003-11-15
2003-12-15
2004-01-15
2004-02-15
2004-03-15
2004-04-15
2004-05-15
2004-06-15
2004-07-15
2004-08-15
2004-09-15
2004-10-15
2004-11-15
2004-12-15
2005-01-15
2005-02-15
2005-03-15
2005-04-15
2005-05-15
2005-06-15
2005-07-15
2005-08-15
2005-09-15
2005-10-15
2005-11-15
2005-12-15
2006-01-15
2006-02-15
2006-03-15
2006-04-15
2006-05-15
2006-06-15
2006-07-15
2006-08-15
2006-09-15
2006-10-15
2006-11-15
2006-12-15
2007-01-15
2007-02-15
2007-03-15
2007-04-15
2007-05-15
2007-06-15
2007-07-15
2007-08-15
2007-09-15
2007-10-15
2007-11-15
2007-12-15
2008-01-15
2008-02-15
2008-03-15
2008-04-15
2008-05-15
2008-06-15
2008-07-15
2008-08-15
2008-09-15
2008-10-15
2008-11-15
2008-12-15
2009-01-15
2009-02-15
2009-03-15
2009-04-15
2009-05-15
2009-06-15
2009-07-15
2009-08-15
2009-09-15
2009-10-15
2009-11-15
2009-12-15
2010-01-15
2010-02-15
2010-03-15
2010-04-15
2010-05-15
2010-06-15
2010-07-15
2010-08-15
2010-09-15
2010-10-15
2010-11-15
2010-12-15
2011-01-15
2011-02-15
2011-03-15
2011-04-15
2011-05-15
2011-06-15
2011-07-15
2011-08-15
2011-09-15
2011-10-15
2011-11-15
2011-12-15
2012-01-15
2012-02-15
2012-03-15
2012-04-15
2012-05-15
2012-06-15
2012-07-15
2012-08-15
2012-09-15
2012-10-15
2012-11-15
2012-12-15
2013-01-15
2013-02-15
2013-03-15
2013-04-15
2013-05-15
2013-06-15
2013-07-15
2013-08-15
2013-09-15
2013-10-15
2013-11-15
2013-12-15
2014-01-15
2014-02-15
2014-03-15
2014-04-15
2014-05-15
2014-06-15
2014-07-15
2014-08-15
2014-09-15
2014-10-15
2014-11-15
2014-12-15
2015-01-15
2015-02-15
2015-03-15
2015-04-15
2015-05-15
2015-06-15
2015-07-15
2015-08-15
2015-09-15
2015-10-15
2015-11-15
2015-12-15
2016-01-15
2016-02-15
2016-03-15
2016-04-15
2016-05-15
2016-06-15
2016-07-15
2016-08-15
2016-09-15
2016-10-15
2016-11-15
2016-12-15
2017-01-15
2017-02-15
2017-03-15
2017-04-15
2017-05-15
2017-06-15
2017-07-15
2017-08-15
2017-09-15
2017-10-15
2017-11-15
2017-12-15
2018-01-15
2018-02-15
2018-03-15
2018-04-15
2018-05-15
2018-06-15
2018-07-15
2018-08-15
2018-09-15
2018-10-15
2018-11-15
2018-12-15
2019-01-15
2019-02-15
2019-03-15
2019-04-15
2019-05-15
2019-06-15
2019-07-15
2019-08-15
2019-09-15
2019-10-15
2019-11-15
2019-12-15
2020-01-15
2020-02-15
2020-03-15
2020-04-15
2020-05-15
2020-06-15
2020-07-15
2020-08-15
2020-09-15
2020-10-15
2020-11-15
2020-12-15
2021-01-15
2021-02-15
2021-03-15
2021-04-15
2021-05-15
2021-06-15
2021-07-15
2021-08-15
2021-09-15
2021-10-15
2021-11-15
2021-12-15
2022-01-15
2022-02-15
2022-03-15
2022-04-15
2022-05-15
2022-06-15
2022-07-15
2022-08-15
2022-09-15
2022-10-15
2022-11-15
2022-12-15
2023-01-15
2023-02-15
2023-03-15
2023-04-15
2023-05-15
2023-06-15
2023-07-15
2023-08-15
2023-09-15
2023-10-15
2023-11-15
2023-12-15
2024-01-15
2024-02-15
2024-03-15
2024-04-15
2024-05-15
2024-06-15
2024-07-15
2024-08-15
2024-09-15
2024-10-15
2024-11-15
2024-12-15
2025-01-15
2025-02-15
2025-03-15
2025-04-15
2025-05-15
2025-06-15
2025-07-15
2025-08-15
2025-09-15
2025-10-15
2025-11-15
2025-12-15

DOCKET NO: P2002, 0710

SERIAL NO: _____

APPLICANT: J. Müller

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100